

3 並列処理指向型 FPGAアーキテクチャ

静岡大学

大学院 工学研究科 電気電子工学専攻

(兼) 創造科学技術大学院ナノビジョン工学専攻

准教授 渡邊 実

背景

- 近年、これまでASIC (Application Specific Integrated Circuit)が使われていた分野にまでFPGA (Field Programmable Gate Array)が使用されるようになってきており、FPGA が量産品に多用される時代を迎えつつある
- FPGAが先端プロセスを採用する一方で、ASICはイニシャルコストの問題からレトロプロセスを使用せざるをえず、性能の差が縮まっている

プロセスの比較

- FPGA : 28 ~ 14nm
- ASIC : 65 ~ 90nm

FPGAアクセラレータの研究

- プロセッサのソフトウェア処理をハードウェアとしてFPGAに実装すると、ソフトウェア処理を数十倍～数百倍に高速化可能
- ゲーム理論のFPGA実装においては、最新のパーソナルコンピュータの600倍～1000倍の高速処理を実現
 - アクセラレータとしてFPGAが非常に有効！
- Open-CL等の高位合成ツール(C++,JAVA)の開発も進む
 - ソフトウェアエンジニアがFPGAを使用できる時代！

将来的にはPC1台に1個のFPGAがアクセラレータとして載る時代が来るかも知れない

アクセラレータに適したFPGAとは

FPGAアクセラレータの実装の手順

- 処理に特化した専用回路の設計
- 上記ユニットを多数FPGAに実装
 - 並列処理が多用される

将来のアクセラレータ用途のFPGAには同じ回路が多数並列に実装されることになる。よって、並列処理回路を高効率に実装できるFPGAが必要になる

現在のFPGAは汎用的な回路実装向けに設計されており、この並列回路実装への特化が不十分である

既存のFPGAへの並列処理回路の実装

問題点

- コンフィギュレーションメモリ内の複数の領域に対し、同一のコンテキスト情報を書き込むこと
 - コンフィギュレーションメモリの無駄

もし、この同一のコンテキスト情報を書き込まなくて良ければ

- コンフィギュレーションメモリの量を削減し、以下の効果を見込むことができる
 - ゲートアレイ密度の向上(性能の向上)
 - チップサイズのコンパクト化(コスト低減)
 - 静的消費電力の削減
 - コンフィギュレーション時間の短縮(動的再構成の活用)

並列処理指向型FPGAアーキテクチャ

- コンフィギュレーションメモリを共有化
- 以下の例では3枚のゲートアレイが1つのコンフィギュレーションメモリを共有

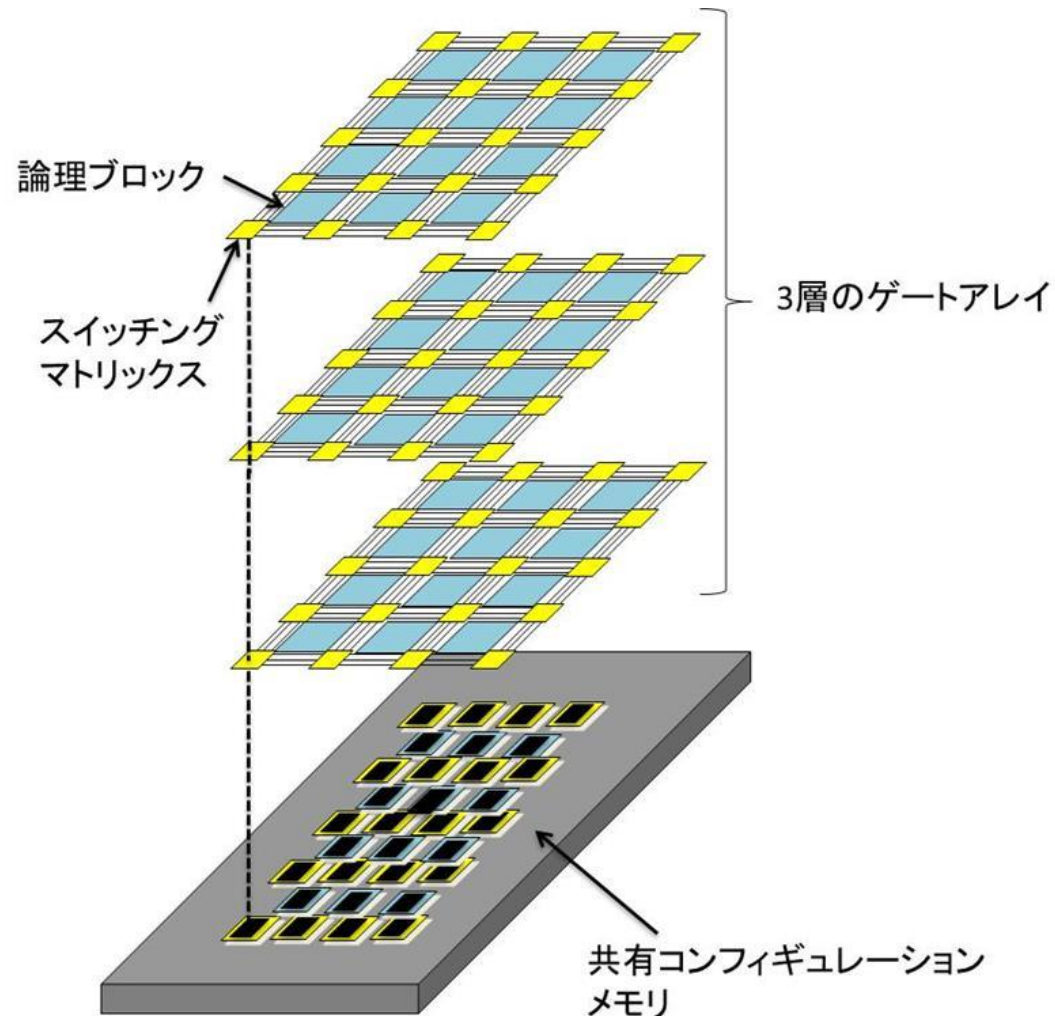
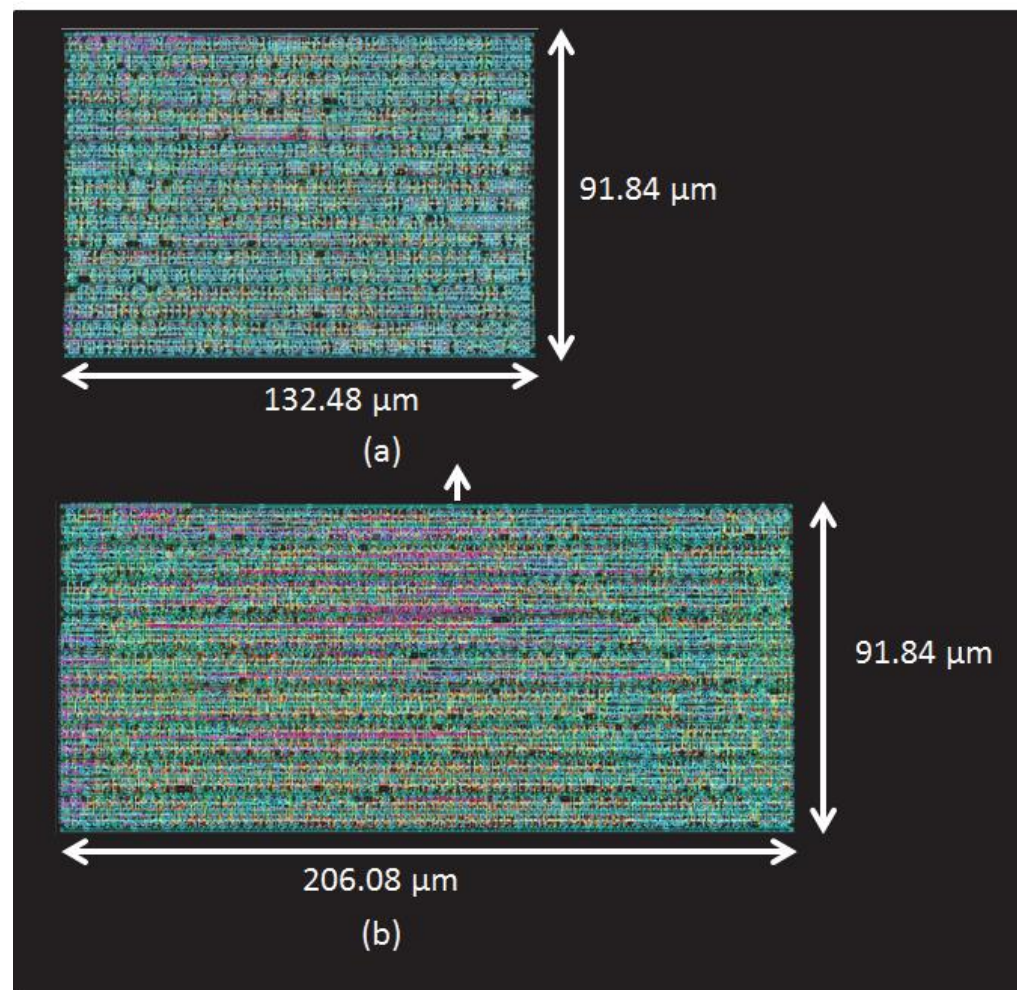
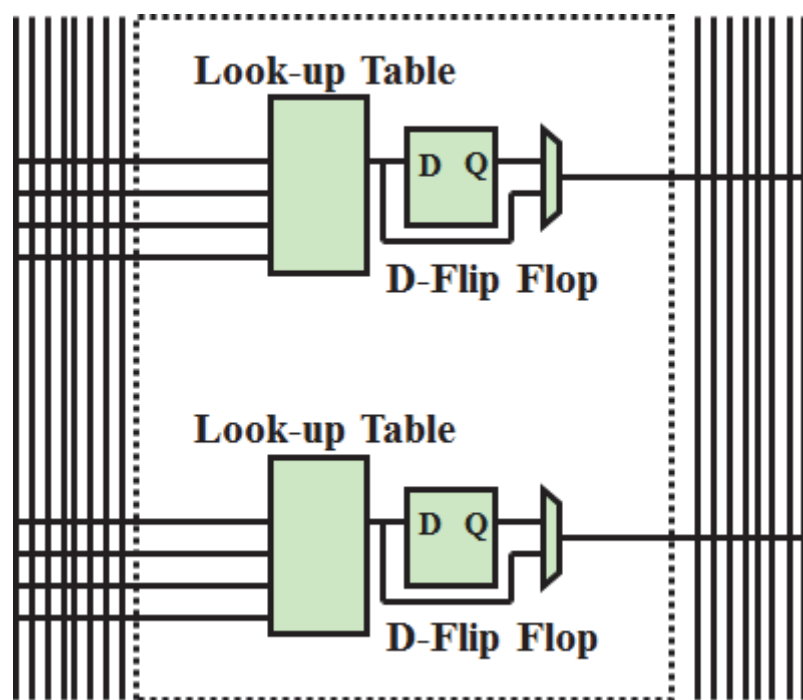


図1: 並列処理指向型FPGAの内部構成図(3層のゲートアレイを持つ例)

論理ブロック、スイッチングマトリックス

□ 0.18 um CMOSプロセスでの実装例

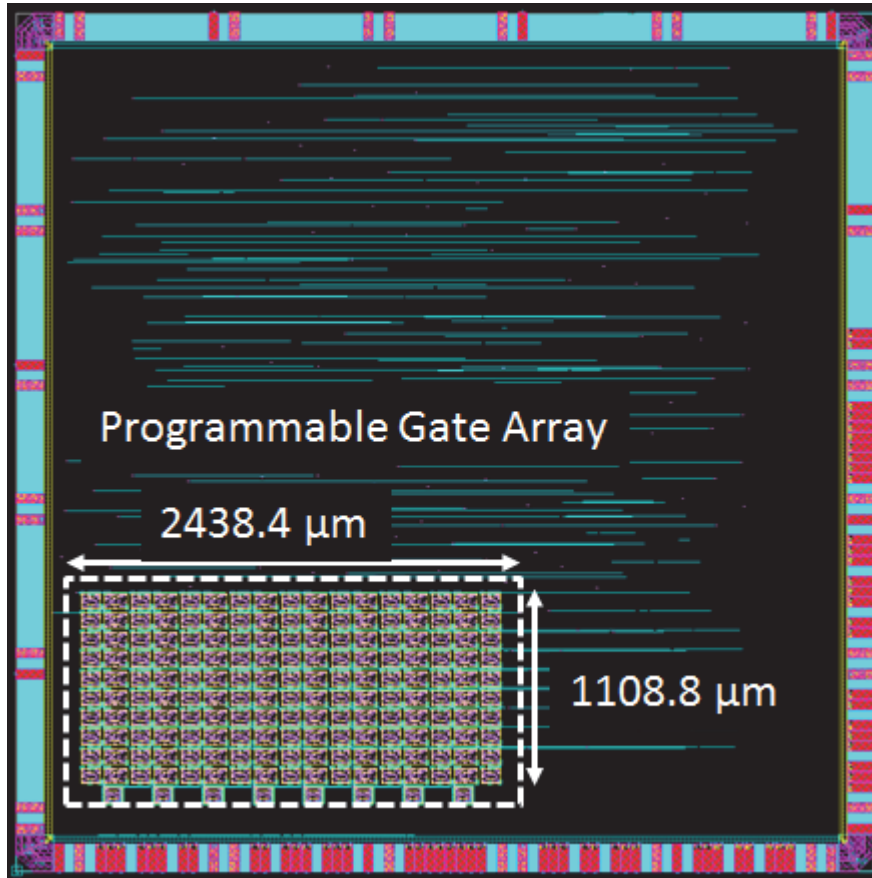


実装に用いた論理ブロック構造

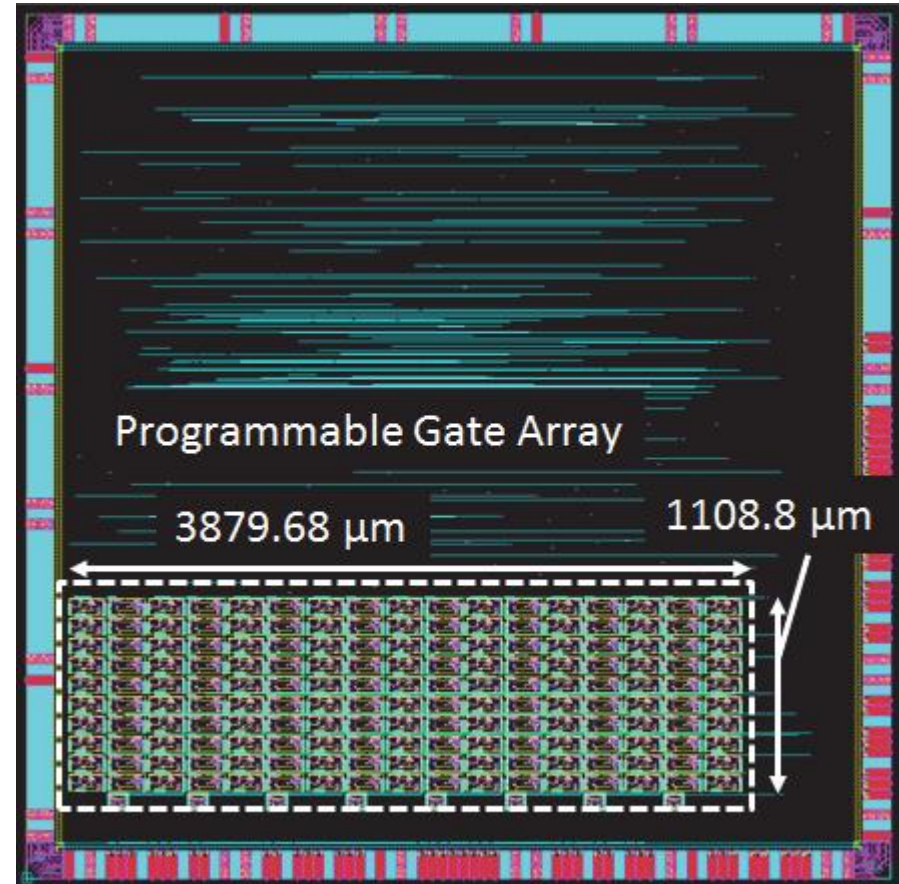
(a) 既存のFPGA実装

(b) 4並列・並列処理指向型FPGA実装

実装結果



(a) 従来のFPGA実装



(b) 4並列・並列処理指向型FPGA実装

□ 0.18 μm CMOSプロセスでの実装例

従来技術との比較(性能)

- LUTの高密度実装化はFPGAの高性能化に寄与する
- 実装面積増による動作周波数低下は僅かである(12%以下)

①性能のアドバンテージ

表1 : 10×10 論理ブロックのゲートアレイの実装比較(0.18 μm CMOS プロセス)

	既存の FPGA	並列処理指向型 FPGA	
		2 並列 FPGA	4 並列 FPGA
実装面積	2,005,726 μm^2	2,560,734 μm^2	4,001,079 μm^2
LUT 数	200	400	800
LUT 個数/1mm ²	99.71 個/mm ²	156.21 個/mm ²	199.95 個/mm ²

従来技術との比較(コスト)

②コストアドバンテージ

- 同性能の回路を実現する場合、実装する回路が並列性を有する場合には劇的にダイサイズを削減することができる。
- 4 並列の並列処理指向型FPGA を100%活用できれば、表1より、チップコストは半減できる。

従来技術との比較(消費電力)

③消費電力アドバンテージ

- 近年、先端プロセスではリーク電流が動的消費電力を上回る値まで上昇しており、その削減は大きな課題となっている
- 並列処理指向型FPGA ではこのリーク電流を大幅に削減することができる

表 2 : 10×10 論理ブロックのゲートアレイのリーク電流比較

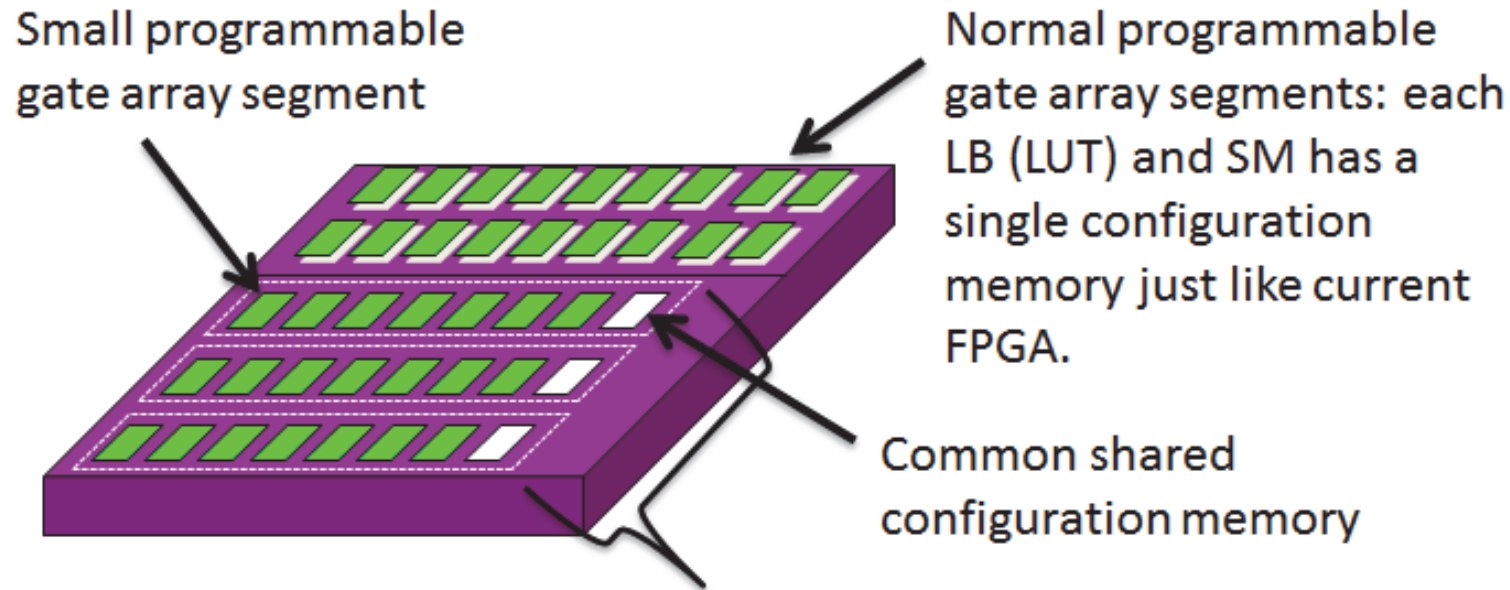
	既存の FPGA	並列処理指向型 FPGA	
		2 並列 FPGA	4 並列 FPGA
リーク電流値	2.037 μ W	2.483 μ W	3.817 μ W
LUT 数	200	400	800
リーク電流/LUT	10.185 nW/LUT	6.208 nW/LUT	4.771 nW/LUT

従来技術との比較(動的再構成)

- ④再構成時間・部分再構成時間のアドバンテージ
 - コンフィギュレーションメモリを共有していることから、既存のFPGAと比較して、コンフィギュレーションメモリのサイズが小さく、コンフィギュレーション時間が短い
 - 近年では、ゲートアレイの一部を高速に再プログラムし、ゲートアレイの機能を切り替えつつ処理を行なえば、全体の処理を高速化できる事例が報告されている
 - 高速再構成が可能な本デバイスではより高性能化を見込むことができる

市販される時には

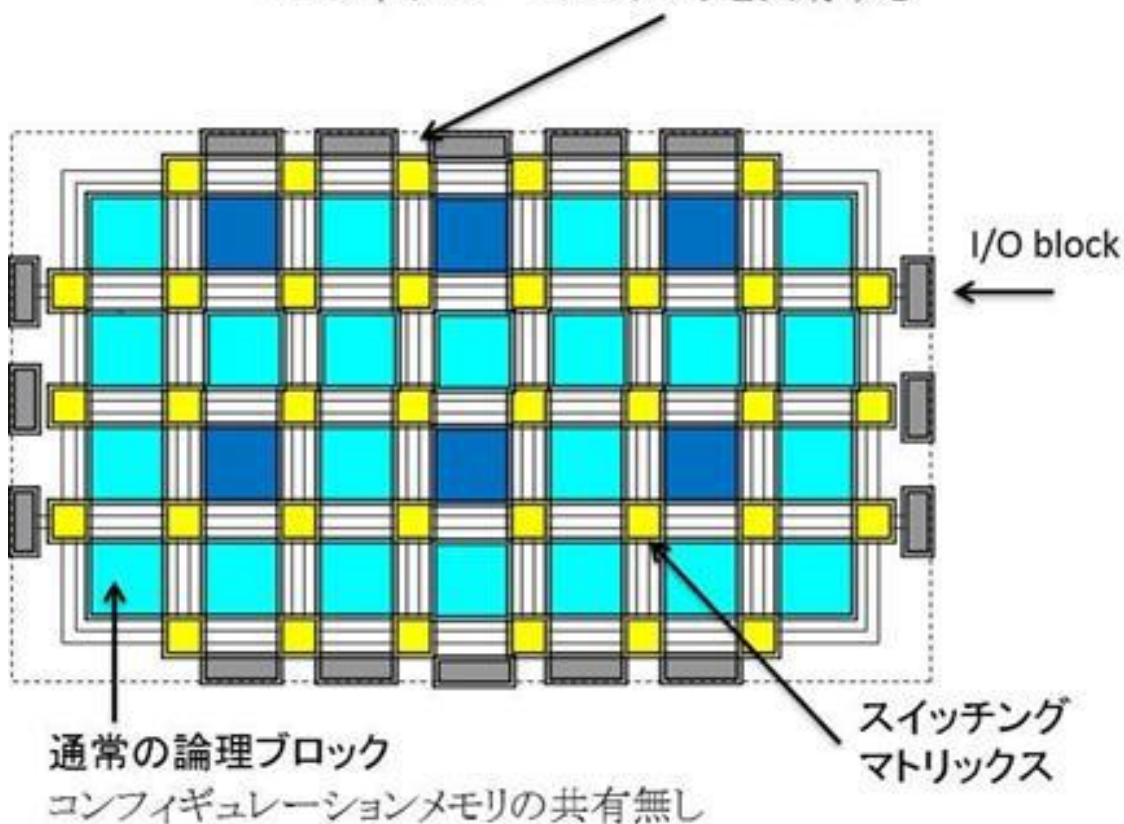
- 並列処理指向のゲートアレイは並列処理に特化し、並列処理で無い回路実装には向かない
- よって、従来と同じ非並列回路実装に適したゲートアレイも併せて実装する



Parallel-oriented programmable gate array segments :
In this example, seven small gate array areas use a
common shared configuration context.

汎用FPGAとしての使用

並列処理指向・論理ブロック
2つの論理ブロックが1つの
コンフィギュレーションメモリを共有する



並列処理指向型FPGAの1例

- 汎用回路であっても高性能化が可能である
- 並列処理指向の論理ブロックをゲートアレイ上にまばらに実装しておく
- LUTの基底状態が同じものが多数存在する
- 上記を並列処理指向型の論理ブロックに実装することで、高密度実装を実現する

想定される用途

FPGAアクセラレータ

ワークステーション、パーソナルコンピュータに1つ実装

高性能・汎用FPGA

実用化に向けた課題

現状

- 0.18 μm プロセスでのVLSI設計は完了
- ゲートアレイはスタンダードセルベースで設計

今後の研究課題

- 28 nmクラスの先端プロセス、カスタム設計にてFPGAを試作
- 論理合成・配置配線ツールの開発

企業への期待

28nmクラスの先端プロセスにて並列処理指向型FPGA
を試作・量産すること

商用レベルのSRAM、PLLを使用、DSPはフルカスタムで

論理合成・配置配線ツールの共同開発

XILINX, ALTERAクラスのツール

本技術に関する知的財産権、問合せ先

- ・ 発明の名称：
フィールドプログラマブルゲートアレイ、フィールドプログラマブルゲートアレイ開発ツール、及び、フィールドプログラマブルゲートアレイ開発方法（未公開）
- ・ 出願番号：特願2014-117851
- ・ 発明者：渡邊 実
- ・ 出願人：国立大学法人 静岡大学

◎共同研究および関連する特許については、
静岡大学イノベーション社会連携推進機構に問合せください。

TEL :053-478-1702

Email : sangakucd@cjr.shizuoka.ac.jp



国立大学法人

静岡大学